

基于 Balsa-Xilinx FPGA 的异步设计流程

谷佳华¹, 周 端², 杨延飞¹

(1 西安电子科技大学 微电子学院, 陕西 西安 710071;

2 西安电子科技大学 计算机学院, 陕西 西安 710071)

摘 要: 针对异步电路设计工具问题, 提出了一种基于 Balsa 和 Xilinx FPGA 的全异步设计流程. 采用 Balsa 语言描述异步设计产生网表, 导入网表在 Xilinx 下生成可配置文件, 达到板级验证并进行布局布线后仿真分析. 在完成异步电路设计的同时采用同步 EDA 工具验证, 以实现异步设计与同步软件的结合. 最后通过八位异步全加器设计实例验证该异步设计流程的可行性.

关键词: 异步电路; Balsa; Xilinx; 综合; 仿真

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2012)06-0018-05

Asynchronous Design Flow Based on Balsa-Xilinx FPGA

GU Jia-hua¹, ZHOU Duan², YANG Yan-fei¹

(1 School of Microelectronics, Xidian University, Xi'an 710071, China;

2 School of Computer Science and Technology, Xidian University, Xi'an 710071, China)

Abstract: This paper proposes a full asynchronous design flow based on Balsa and Xilinx FPGA for asynchronous circuit design tools. The asynchronous circuit is described in the Balsa language to generate corresponding netlist file, and a configurable file can be obtained by importing the netlist into Xilinx FPGA. With downloading the configurable file into FPGA chip, the board-level verification and post-place & route are achieved. Thus, both asynchronous design and verification in synchronous EDA software contact successfully. Finally, the feasibility of the asynchronous design flow has been proved by the design example of 8-bits asynchronous full-adder.

Key words: asynchronous circuit; Balsa; Xilinx; synthesis; simulation

1 引言

随着电路规模的不断增大, 同步电路中的功耗、时钟偏斜及设计复杂度等问题日趋严重^[1]. 与同步电路相比, 异步电路具有无时钟偏移、模块化程度高、功耗低、电磁兼容性强等优势^[2-3]. 异步电路的研究工作可以追溯至 20 世纪 50 年代, 它和同步电路设计的主要区别在于不同的电路控制机制, 虽然异步电路也采用二进制信号, 但是其中没有公共离散的时序. 采用握手(handshaking)替代公共时钟来实现各个部件之间的同步(synchronous)、通信(communication)以及运算的顺序, 相比于同步设计, 具有更低的功耗和更高的设计灵活性.

在计算机辅助设计方面, 相比于同步设计的成熟和完善, 异步电路的设计软件及设计流程需要不断发展与完善. 目前异步电路的设计主要采用三种方式: 第一种方法是基于 Cadence 原理图输入法^[4], 虽然此方法能与同步电路能很好地结合, 但是要求设计者对电路图有深入的理解, 并且此方法自动化程度不高; 第二种方法是采用 Petri 网来实现异步电路的设计^[5], 但需要设计者对电路的状态转移及电路连接关系有很好的理解, 故实现大规模电路比较困难; 第三种方法是曼彻斯特大学提出的采用 Balsa 软件进行的异步设计, 文献[6]中给出了采用 Balsa 软件的异步电路设计方法, 但只是进行行为级仿真验证, 实际应用电路中, 还需要进行后仿真及硬

件验证。

本文提出了一种采用 Balsa 语言描述,然后应用其产生的网表在 Xilinx 下生成可配置文件并下载到 FPGA 中进行后端硬件验证的全流程方法,使其更接近于实际应用的电路,为异步电路设计者提供了一种可供考虑的方案。当板级验证不满足设计要求时,还可以回到代码级进行修改,直至电路设计满足要求。

2 Balsa-Xilinx 异步设计流程

Balsa 既可以说是异步硬件系统的综合工具,又可以看成是一种描述语言。这种方法的好处是编译过程非常清晰,因为语言结构和中间生成的握手电路之间是一一映射的关系。对于有经验的使用者,可以很清楚地了解语言描述与最终实现电路之间的关系,从而可以通过描述语言中的增量修改预判实现级的改变。这点与 VHDL 描述有所不同,在 VHDL 的语言描述中,很微小的变化都可能会导致综合后电路的显著改变。Balsa 的这一特点可以使设计与综合优化之间达到更好的平衡。

然而,Balsa 软件只能进行行为仿真,为了得到设计的后端验证,将 Balsa 与 Xilinx 联合使用,最终将可配置文件下载至 FPGA 中得到板级验证。基于该流程所得到的异步电路更适合实际应用。图 1 所示为本文提出的 Balsa-Xilinx FPGA 异步设计流程。

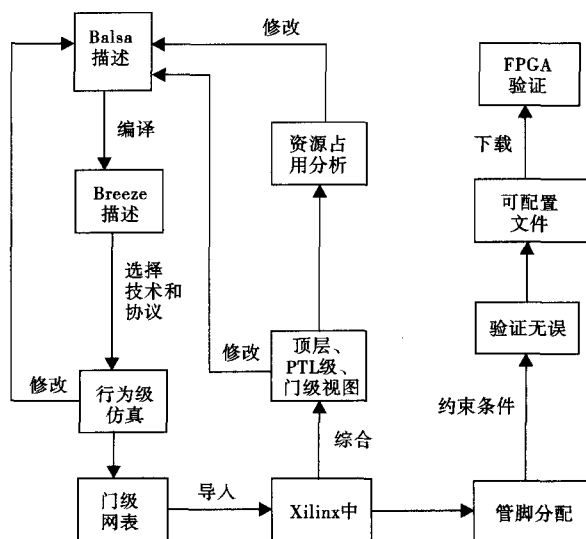


图 1 Balsa 到 Xilinx 的异步设计流程

如图 1 所示,首先应用 Balsa 语言描述所用功能块,然后进行编译,无误后,生成描述元件的 Breeze 语言文件,此时可以在 Balsa 下进行行为级

仿真,结果正确后选择技术(Technology)和风格(Style)生成*.v 门级网表。网表导入到 Xilinx 下,可观看元件门级结构,并进行资源占用分析;指定特定 FPGA 型号,进行相应的管脚分配和添加约束条件,再验证无误后生成可配置文件,即可下载到 FPGA 中进行硬件验证。这个过程中,当板级验证不满足设计要求时,可以返回到代码级进行修改,这就要求设计者对代码与电路之间的对应关系有很好的理解,最终将电路设计达到最优。

3 基于 Balsa-Xilinx 设计流程的异步全加器的设计与分析

3.1 Balsa 中全加器的设计及功能仿真

进入到 Balsa 软件图形化界面视图模式,在 Balsa 软件中创建工程后,添加如下代码:

```

1 import [balsa. types. basic]
2 type AddResult is record
3 Result: byte;
4 Carry: bit; end
5 procedure add (input c0:bit; input i,j: byte; output
o:AddResult) is
6 variable l:bit
7 variable x,y:byte
8 variable z:AddResult
9 begin loop
10 c0-> l || i-> x || j-> y;
11 z:=(x+y+l as AddResult);
12 o<-z end end
  
```

其中,输入端口为低位的进位 c0 及两个 8 位(byte)的数 i 和 j,输出为强制定义的记录类型(record)。这是因为 Balsa 是强语言类型,赋值符号左右两端数据类型必须相同^[7]。将两个 8 位数与低位的进位相加强制转化为 record 类型,可以产生全加器进位的输出。若设计时结果仍为 8 位类型数据,则该进位的输出会被截取,这将影响有进位的输出,这一点在设计时需十分注意。

Balsa 工具会将语言描述电路转化为一个通讯网络(STG),该网络是由一组(大约 46 个)握手元件的集合组成,这些元件由通道连接在一起,通信和握手就在通道中发生。通道可能作为数据传输的路径(在此情况下,握手包含了数据传送),在 STG 图中表现为通道之间用有方向的箭头连接;或者作为纯粹的控制(此时,握手作为同步化命令(synchronization)使用),在 STG 图中表现为通道之间无箭头的连接。以上描述的全加器代码编译后产生的 STG 图

如图2所示。

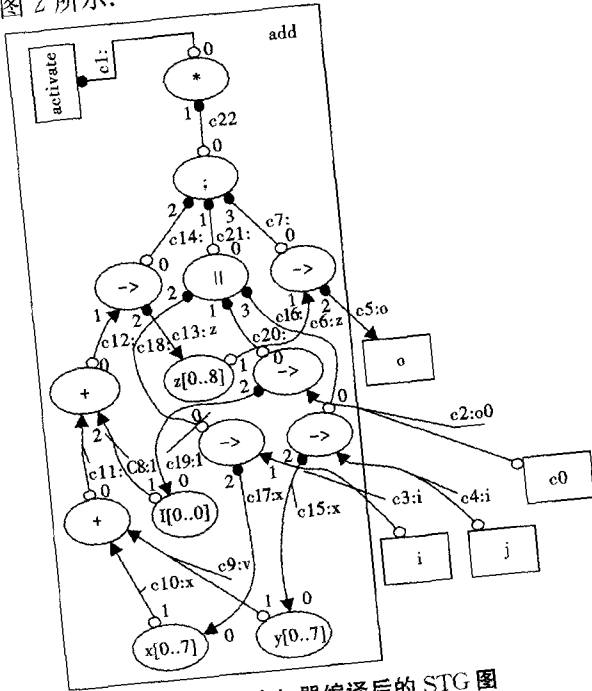


图2 全加器编译后的STG图

由图2可知,握手从顶端(activate)开始,相当于同步电路中的复位信号,然后进入到循环元件($*$);输入端口“c0”、“i”、“j”的值通过提取元件($-$),储存在中间变量元件 l 、 x 、 y [$l[0..0]$, $x[0..7]$, $y[0..7]$]中,同时提取元件($->$)另一端连接在并行元件($||$)一端,说明输入端口“c0”、“i”、“j”的值同时被提取;然后经过 x 和 y 的相加元件($+$),所得结果与低位进位存储的变量元件相加,再次经过提取元件($->$),将结果保存到存放输出结果的中间变量元件 z [$z[0..8]$]中, z 中结果再次经过提取元件最终到达输出端口“o”。这样 $i+j+c0$ 的结果就从输入端口送到输出端口。

Balsa中可添加测试激励以完成行为仿真。激励可在端口处直接给值,或者导入编写的测试文件(*.dat)。本文采用前一种方法,在输入端口“i”中输入100,“j”中输入155,假设低位进位“c0”是1。添加激励后,可得到如图3所示的两种仿真结果。

图3(a)中为直接记录的仿真结果,由“o”输出,其中和(Result)为0,进位(Carry)为1,其值分别保存在o.Result和o.Carry中,与正确结果一致。由于异步电路采用握手控制通道进行数据传输,因此Balsa行为级仿真还给出了STG图中任意通道数据传输的波形图,如图3(b)所示。本文设计中,选择观察输入端口“i”、“j”、低位进位“c0”和输出端口“o”以及中间存储变量“x”、“y”、“l”、“z”的波形图。

图3(b)中可以看到,每一个信号都由一组(2个)波形段表示,其中上面的波形段为请求信号,相应地,下面的波形段为应答信号。由于程序按照顺序执行,首先同时(操作符 $||$)将输入端口“add.i”值传至中间变量“add.x”,输入端口“add.j”端口的值传至变量“add.y”中,低位进位“c0”的值传送到“add.l”中。其次再将“add.a+add.b+add.l”的结果保存在中间变量“add.z”中,最后再由“add.z”传至输出端口“add.o”。这样就完成输入到输出的结果。图3(b)中,由于端口“add.i”、“add.j”及低位进位“c0”的值直接在端口处给出,故请求和应答同时完成,即数值出现在“add.i”、“add.j”、“add.c0”端口。然后按照异步电路传送数据的时序——中间变量“add.x”、“add.y”、“add.l”请求发送数据将请求信号置高电平;中间变量“add.z”接收数据并同时信号置高电平;中间变量“add.x”、“add.y”及应答信号置为高电平;发送端“add.x”、“add.y”及“add.l”响应接收端并将请求信号置为低电平;接收端在发送端请求信号转为低电平后也将应答信号置为低电平。经过一个握手周期,“add.x+add.y+add.l”的值传至中间变量“add.z”。然后再将中间变量“add.z”作为发送端,输出端口“add.o”作为接收端继续完成上述握手周期,即可将值传送到输出端口“add.o”。图3(b)中,信号出现认为高电平,结束则作为低电平解释。由图3可看出,全加器功能正确,且各通道间握手信号时序正确。至此,Balsa中的行为仿真已经结束。

3.2 Xilinx下全加器后端验证与分析

采用Balsa进行异步电路设计,不同的方法可以得到不同的电路结构,可依据设计需要选择不同的实现方式。同时,Balsa中可运用“breeze-cost”命令来查看电路的消耗面积。但该参数仅为Balsa自行给出的一种参考标准,与硬件实现和工艺参数无关。为了进行后端验证,本文通过将Balsa的网表应用到Xilinx软件中,进行验证。本文采用Spartan3E系列XC3S500E型FPGA,在Xilinx下综合网表可得到全加器顶层视图。

在Xilinx下测试时,测试平台的描述要考虑到异步电路中所用到的握手协议,所有信号要严格按照所选择的握手协议给出时序。本文全加器选择捆绑数据协议,相应的测试文件代码主体如下。

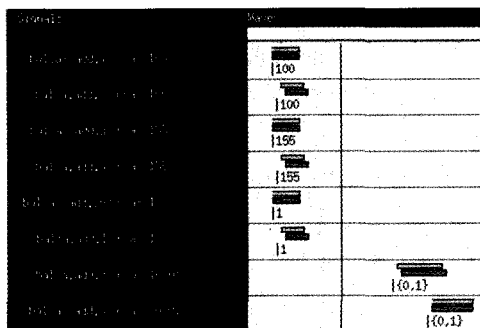
```
initial begin
    activate_0r=0; c0_0a=0; c0_0d=0; i_0a=0;
    0; j_0a=0; j_0d=0; o_0a=0;
```

```

819: chan 'j' writing 155
819: chan 'i' writing 100
819: chan 'c0' writing 1
4420: chan 'o' reading {0,1}
6219: chan 'j' writing 155
6219: chan 'i' writing 100
6219: chan 'c0' writing 1
9820: chan 'o' reading {0,1}

```

(a) 执行窗口仿真结果



(b) 握手通道的波形图结果

图3 结果方案

```

# 100 c0_0d=1; i_0d=100; j_0d=155;
# 10 activate_0r=1;
# 10 c0_0a=1; i_0a=1; j_0a=1; # 10 c0_0a=0; i_0a
=0; j_0a=0;
# 10 o_0a=1; # 10 o_0a=0;
# 10 c0_0a=1; i_0a=1; j_0a=1; # 10 c0_0a=0; i_0a
=0; j_0a=0;
# 10 o_0a=1; # 10 o_0a=0; end

```

与同步 FPGA 验证不同的是,异步测试平台的编写需要依据以下几条准则:

①首先,电路以“activate_0r”开始工作,即将“activate_0r”置为高电平,此时相当于来自于外部环境的 reset 信号。

②随着电路的初始化后,输出信号“i_0r”、“j_0r”、“c0_0r”会自动变为高电平,这意味着请求信号向外部环境请求数据。注意一点的是,由于本文 Balsa 产生的是拉通道类型电路,而不是推通道,故此时 Balsa 电路进行初始数据的传送。

③当外部电路准备好数据,在输入数据线上的产生有效数据时,可以此时插入应答信号“i_0a”、“j_0a”、“c0_0a”来响应,使四项握手协议进入到下一个阶段。即控制“i_0a”、“j_0a”、“c0_0a”拉高,意味着应答输入请求,而当相应的请求自动变低时,再将“i_0a”、“j_0a”、“c0_0a”拉低,这样完成输入数据的通信。

④此时,数据复制到中间锁存器中并保存在中间变量中。

⑤完成上述过程,输出端通过信号 o_0r 自动拉高来请求外部环境的接收。

⑥当环境已经捕获到存在其接口上的数据时,可以通过将 o_0a 拉高来应答 o_0r 的变高。

⑦当 o_0a 变高后响应 o_0r,此时, o_0r 会自动拉低。为了响应 o_0r 的变低,控制 o_0a 变低。

至此,四项捆绑数据协议的一个周期完成。所加

测试平台生成波形图如图 4 所示。由图 4 可以看到,在全局使能信号有效之前,数据进行初始化,以保证传输数据的有效性。初始化数值为 $i=100$, $j=155$, $c0=1$ 与 Balsa 下所添加激励数值保持一致。由图中还能看到,经过两个时序周期,输出数值为 256,保证了数据的正确传输。结果正如 Balsa 描述一致,第一个握手周期只是将结果保存在中间变量“z”中,第二个握手周期才是完成中间变量到输出端口的传递。这里特别注意一点的是,输出结果在第二个握手周期的输入应答的上升沿变为有效,这是因为本文选择四项捆绑数据握手协议。该协议中,从输入应答上升沿时刻起,数据传送速度比控制信号传送的快,所以在输出端先接收到有效数据。因此,对于这种电路的后综合时序验证是很必要的。如果需要严格的延时不敏感电路,可以选择其他风格的数据握手协议。

由图 4 还可以得到,当一个周期的完成($o_0a=0$)后,“i_0r”、“j_0r”、“c0_0r”会自动变高,即下一个握手周期的开始。在一个周期后,activate_0a 始终为低,而不是一个周期后 activate_0a 变高。因为这是外部应答信号要等到整个程序执行完成后与外部环境无数据交换才会拉高。而我们在 Balsa 描述中使用了 Loop..end 循环语句,程序会一直执行且不会自动退出,因此 activate_0a 会一直连接到 Gnd。在观察元件门级描述时候,也验证了这一种说法。

握手使能信号“activate_0r”在数据传送期间要一直保持高电平,以保证数据的正确传送,若数据传送期间将其置为低电平,会出现数据传送错误或者信号的时序错误,这一点需十分注意。

测试完成后,添加时序约束条件,进行管脚分配,然后再进行综合验证,无误后,生成可配置文件,下载至 FPGA 中进行板级验证。在此设计中,笔者进行布局布线后仿真,对其功耗进行了分析,这样可

以根据需要设计出实际生活中所需的器件. 对于本文的设计, 在 Xilinx 下运用其集成的 Xpower Analyzer 软件及 Modelsim 仿真工具, 可得到此全加器的功耗. 当传送四组数据 $\{i=0, j=0, c0=0\}$ $\{i=255, j=255, c0=1\}$ $\{i=0, j=255, c0=0\}$ $\{i=255, j$

$=0, c0=0\}$ 时, 其平均功率为 15 mW. 而其此时资源占用情况如图 5 所示, 对于有设计经验的人来说, 可明显看出异步设计中的资源消耗明显增加, 但是设计中没有占用到时钟管脚, 可以有效抑制时钟偏差带来的隐患.

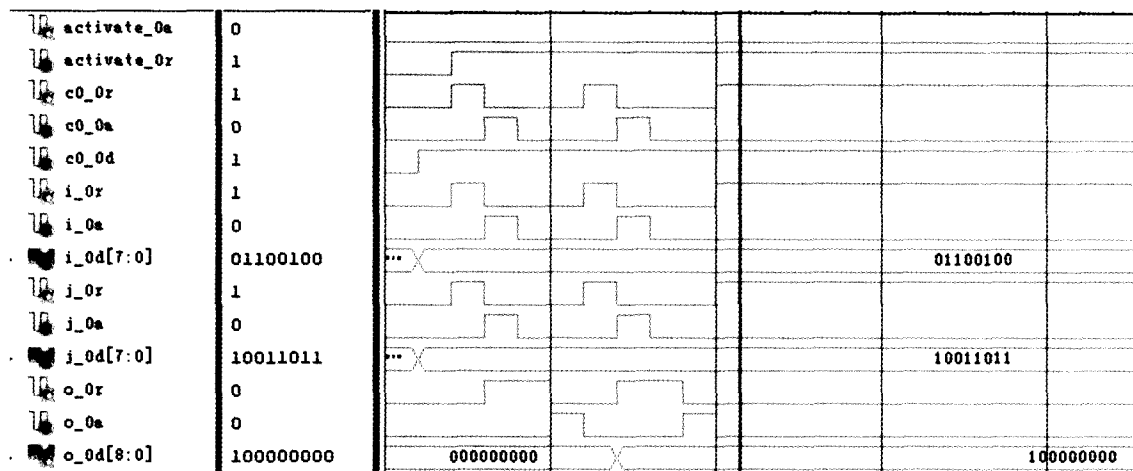


图 4 全加器 Xilinx 下测试波形图

Device Utilization Summary (estimated values)				1
Logic Utilization	Used	Available	Utilization	
Number of Slices	10	4656	0%	
Number of 4 input LUTs	87	9312	0%	
Number of bonded IOBs	36	66	54%	
Number of GCLKs	3	24	12%	

图 5 全加器资源占用情况

3.3 本文异步设计流程优势

与文献[6]中给出的设计流程相比, 本文使用了 Balsa 与 Xilinx 的接口生成了网表, 运用网表在 Xilinx 下生成可配置文件, 并下载到 FPGA 中进行验证. 这样可以实现异步电路设计的硬件仿真, 使异步电路设计有一个由语言描述功能到硬件验证的全流程, 使设计更接近于生产. 设计者往往需要针对不同的应用环境和设计需求, 采用相应的设计方法满足具有不同特征的异步电路, 而此设计中可以进行功耗计算与资源占用情况总结, 故可根据需要进行相应的方法选择.

4 结束语

本文提出了由 Balsa 描述到 FPGA 验证的全流程异步设计方法, 并采用八位全加器进行设计验证, 解决了异步设计后期验证的问题. 虽然目前国内的异步电路设计的研究还处于发展研究阶段, 但 Balsa 有其成功的工程开发背景, 且 FPGA 也成为越来越

多电路设计者的验证平台, 而 Balsa 自带的与其他软件的接口也为其设计的后期验证提供了便利.

参考文献:

- [1] 赵不赓, 徐雷钧, 孙智权. 异步电路设计原理[M]. 北京: 电子工业出版社, 2009: 1-4.
- [2] Jo Ebergen, Russell Kao, Jon Lexau, et al. An evaluation of asynchronous stacks[J]. Journal of IEEE Design & Test of Computers, 2011, 28(5): 52-61.
- [3] 杨平中, 孙义和. 视频信号处理 Soc 中异步时钟处理技术[J]. 微电子学与计算机, 2010, 27(6): 24-31.
- [4] Guan Xuguang, Tong Xingyuan, Yang Yintang. Quasi delay-insensitive high speed two-phase protocol asynchronous wrapper for network on chips[J]. Journal of Computer Science & Technology, 2010(5): 1092-1100.
- [5] 郑东炜, 徐维胜, 岑峰. 基于 Petri 网的异步电路设计关键技术研究[J]. 计算机仿真, 2009, 26(10): 344-347.
- [6] 孙智权. 基于 Balsa 的异步集成电路设计方法[J]. 科学技术与工程, 2008, 8(16): 4528-4530.

(下转第 27 页)

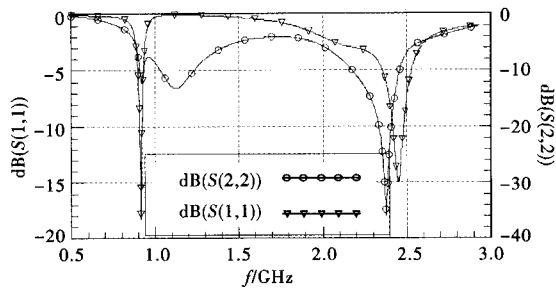


图 8 输入输出反射系数

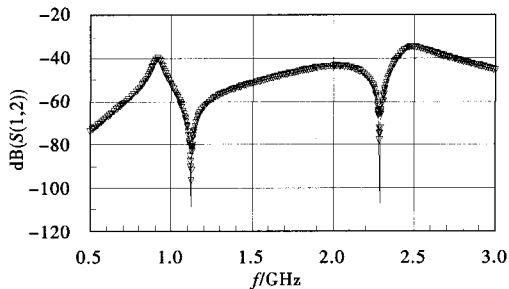


图 9 反向传输增益

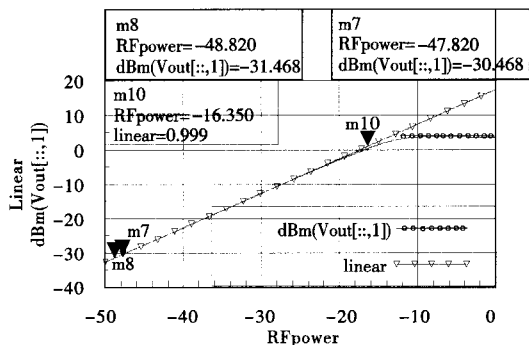


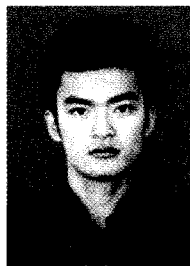
图 10 1dB 压缩点

双频段低噪声放大器芯片。通过分析提出低噪声的最优化设计方法,实现了对双频段低噪声的噪声控制,并在 Cascode 结构基础上,用并联 LC 结构和 LC 串联电感结构改进匹配电路,实现了将噪声控制在 1 dB 以下的目标,并且带来相对较高的增益和较低的功耗。

参考文献:

- [1] 丛密芳,南敬昌,李久超. RFID 低噪声放大器设计与仿真[J],计算机仿真,2010,28(4):393-396.
- [2] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿,译. 西安:西安交通大学出版社,2003.
- [3] 池保勇,余志平,石秉学. CMOS 射频集成电路分析与设计[M]. 北京:清华大学出版社,2006.
- [4] 殷吉辉,杨华中. 一种双频段 CMOS 低噪声放大器[J],微电子学,2007,37(3):403-406.
- [5] 程知群,徐胜军,朱雪芳,等. 改进型双频段低噪声放大器设计[J]. 电子器件,2010,33(2):174-177.
- [6] 刘长军,黄卡玛,闫丽萍. 射频通信电路设计[M]. 北京:科学出版社,2007.
- [7] Aly Ismail, Asad A Abidi. A 3—10 GHz low noise amplifier with wideband LC-Ladder matching network[J]. IEEE Journal of Solid-State Circuits, 2004, 39(12):2269-2277.
- [8] 刘白梅. 2.4 GHz 低功耗无线接收机中低噪声放大器与混频器研究[D]. 湖南大学:湖南大学计算机与通信学院,2010.
- [9] 庄海孝,马成炎,叶甜春,等. 多模式卫星导航接收机中双频段 LNA 设计[J]. 微电子学与计算机,2011,28(1):69-73.

作者简介:



裴世锋 男,(1986—),硕士研究生. 研究方向为射频电路及射频集成电路设计.

南敬昌 男,(1971—),博士,教授. 研究方向为射频电路与系统、信号处理与信息编码、通信系统仿真等.

毛陆虹 男,(1955—),博士,教授. 研究方向为射频集成电路、新型半导体器件与集成技术、光电子器件与光电集成电路等.

(上接第 22 页)

- [7] Doug Edwards, Andrew Bardsley, Lilian Janin, et al. Balsa; a tutorial guide[EB/OL]. [2011-10-15]. ftp://ftp.cs.man.ac.uk/pub/amulet/balsa/3.5.
- [8] 陆浩,王振占. 基于 FPGA 的高速采样电路设计与测试[J]. 微电子学与计算机,2011,28(7):106-109.

作者简介:

谷佳华 男,(1987—),硕士研究生. 研究方向为异步电路设计及 VLSI 设计.

周端女,(1957—),博士,教授,硕士生导师. 研究方向为数字电路设计和电路低功耗设计.

杨延飞 女,(1984—),博士研究生. 研究方向为 NoC 设计、异步电路设计及 VLSI 设计.